BEST AVAILABLE COPY

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-140503
(43)Date of publication of application : 13.05.2004

---

(51)Int.Cl.
H03K 19/00
G06F 1/32
H01L 21/822
H01L 27/04

---

(21)Application number : 2002-301813
(22)Date of filing : 16.10.2002
(71)Applicant : SONY CORP
(72)Inventor : UEDA MICHIHIRO
KOBA HIROYUKI
AKUI SATOSHI

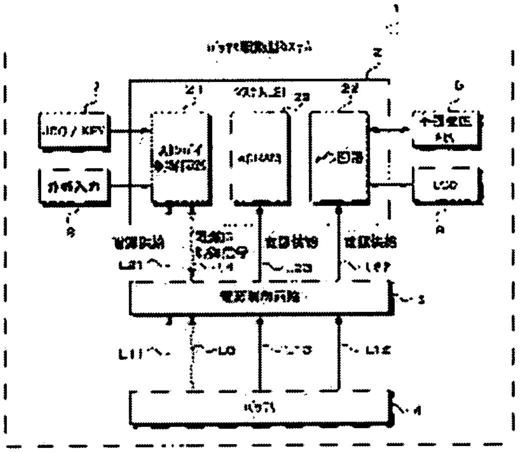
---

## (54) ELECTRONIC APPARATUS AND METHOD OF SUPPLYING POWER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption in a standby state in an electronic apparatus driven by a battery power source.

SOLUTION: A system LSI2 includes a standby control circuit 21, a main circuit 22 having a CPU, and an eDRAM 23. Each circuit block receives a power via independent power source lines L21, L22 and L23. The circuit 21 is always supplied with the power. The circuit 22 turns off a power source at a standby time. The power is supplied to the eDRAM 23 only when the eDRAM 23 is used. The supply of the power to each circuit block is performed by the circuit 21 and a power source control circuit 3. When a task to be processed by the CPU is eliminated, the CPU is set to a standby state from a normal operation state. When an operating input is generated from an operating unit 7 or an input is generated at an external input 8, the circuit 21 performs a process necessary for wake-up, and the power is supplied to the circuit 22.



---

LEGAL STATUS

[Date of request for examination] 13.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3724472

| | |
|---|---|
| [Date of registration] | 30.09.2005 |
| [Number of appeal against examiner's decision of rejection] | |
| [Date of requesting appeal against examiner's decision of rejection] | |
| [Date of extinction of right] | |

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]
[Claim 1]
It is electronic equipment equipped with the semiconductor integrated circuit which contains the 1st circuit and 2nd circuit which have the normal mode and a standby mode, and an electric power supply means to supply power to said semiconductor integrated circuit,
The mode control means which is built in said 1st circuit and makes the mode of operation of said semiconductor integrated circuit said normal mode or said standby mode,
When said mode control means makes the mode of operation of said semiconductor integrated circuit said normal mode When the power generated in said electric power supply means is supplied to said 1st and 2nd circuits and said mode control means makes the mode of operation of said semiconductor integrated circuit said standby mode Electronic equipment characterized by having the electric power supply control means to which it is supposed that said 2nd circuit is not supplied while supplying the power generated in said electric power supply means to said 1st circuit.
[Claim 2]
It has a storage means further,
Said 2nd circuit includes the operation means connected to said storage means,

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]
[Claim 1]
It is electronic equipment equipped with the semiconductor integrated circuit which contains the 1st circuit and 2nd circuit which have the normal mode and a standby mode, and an electric power supply means to supply power to said semiconductor integrated circuit,
The mode control means which is built in said 1st circuit and makes the mode of operation of said semiconductor integrated circuit said normal mode or said standby mode,
When said mode control means makes the mode of operation of said semiconductor integrated circuit said normal mode When the power generated in said electric power supply means is supplied to said 1st and 2nd circuits and said mode control means makes the mode of operation of said semiconductor integrated circuit said standby mode Electronic equipment characterized by having the electric power supply control means to which it is supposed that said 2nd circuit is not supplied while supplying the power generated in said electric power supply means to said 1st circuit.
[Claim 2]
It has a storage means further,
Said 2nd circuit includes the operation means connected to said storage means,
Said mode control means is electronic equipment according to claim 1 which performs the predetermined program stored in said storage means to said operation means when said semiconductor integrated circuit is made to change from said standby mode to said normal mode.
[Claim 3]
Said 2nd circuit includes an operation means,
Said mode control means holds the Wake rise information which shows the factor which makes said semiconductor integrated circuit change to said normal mode in said standby mode,
Said operation means is electronic equipment according to claim 1 which specifies said factor according to said Wake rise information when said mode control means makes said semiconductor integrated circuit change from said standby mode to said normal mode.
[Claim 4]
Said 2nd circuit is an operation means,
An interruption means to perform interruption processing to tasking by said operation means is included,

Said mode control means holds the Wake rise information which shows the factor which makes said semiconductor integrated circuit change to said normal mode in said standby mode,
Said interruption means is electronic equipment according to claim 1 which performs said interruption processing according to said Wake rise information after said mode control means makes said semiconductor integrated circuit change from said standby mode to said normal mode.
[Claim 5]
Said 1st circuit is electronic equipment including a storage means to perform refresh actuation using the power supplied from said ****** means also in said standby mode according to claim 1.

[Claim 6]
Said mode control means is electronic equipment according to claim 5 which it carries out to not making power supply to said storage means in said standby mode to said electric power supply means in not making data hold for a pre-storage means in said standby mode.
[Claim 7]
Said 2nd circuit,
Internal circuitry,
Electronic equipment including an input means to supply the signal with which potential level was fixed according to the control signal supplied in said standby mode while inputting the signal outputted from said 1st circuit and supplying said internal circuitry to said internal circuitry according to claim 1.
[Claim 8]

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]
[0001]
[Field of the Invention]
This invention relates to the configuration and approach for reduction of the electronic equipment driven for example, with a dc-battery power source, the electric power supply approach, especially power consumption.
[0002]
[Description of the Prior Art]
As for pocket devices, such as a cellular phone, PDA (Personal Digital Assistants), and a luggable computer, it is common to use the dc-battery as a power source. A dc-battery drive mold system consists of a system LSI (Large Scale Integrated Circuit: large-scale integrated circuit), a dc-battery, power control IC (Integrated Circuit: integrated circuit), etc. System LSIs are CPU, memory, and LSI that integrated various circumference functional block for one chip. Recently, it has not only a message function but a communication link, a processing facility, etc. of multimedia as a function of a pocket device, and detailed-ization of a system LSI is progressing. For example, detailed-ization of 0.3 micrometers or less is carried out.
[0003]
Since power consumption awaits and the die length of time amount is specified by the portable mold electronic equipment of dc-battery drive molds, such as a cellular phone, reduction of power consumption is important. For example, supply of a clock is suspended in the following patent reference 1, always carrying out power-source ON of the system LSI, and the method of changing into a standby condition and reducing the power consumption at the time of standby is indicated.
[0004]
[Patent reference 1]
JP,2002-170933,A
[0005]
[Problem(s) to be Solved by the Invention]
Since the power source always turned on the approach given in the patent reference 1 to the system LSI, the subthreshold level leakage current of the transistor of a system LSI, for example, MOS(Metal Oxide Semiconductor: metal oxide semiconductor) LSI, dropped off, and it had the problem more than which the power consumption at the time of standby increases. Subthreshold level leakage current is a current on which an MOS transistor flows toward low supply voltage from high supply voltage also in the time of un-operating.
[0006]
In MOSLSI, raising the threshold electrical potential difference of a transistor generally is made as a cure which decreases subthreshold level leakage current. Raising a threshold electrical potential difference can make by process tuning and the method of giving substrate potential. However, when a normal operation condition is considered, raising the threshold electrical potential difference of a

transistor is connected with reducing the rate of a device, and there is a problem which is not suitable in application with a high-speed working speed.

[0007]

As other approaches of controlling subthreshold level leakage current, it is reducing supply voltage. In the semantics of improvement in the speed, this approach is also unsuitable and impossible for moreover intercepting a current completely. Therefore, it has been a very difficult technical problem that the working speed which is the typical index of the performance of LSI, and power consumption are elements which always conflict, and raise both engine performance.

[0008]

Furthermore, it is possible to reduce the power consumption at the time of standby by controlling to turn off a power source at the time of standby as a configuration to which power control IC and a system LSI are considered as a separate configuration, form the control signal of ON/OFF of a power source and a power source in in power control IC, and supply the control signal of ON/OFF of a power source and a power source from power control IC to a system LSI. Usually, including the complicated digital circuit for generating a control signal in power control IC, since power control IC is considered as the configuration of analog IC circuits, such as a regulator, required the man day which newly designs power control IC, and it had the problem which the cost of the power control IC itself goes up.

[0009]

Therefore, the purpose of this invention is to offer electronic equipment with it, and the electric power supply approach. [ able it to be unnecessary to include the digital circuit which sets the power source of LSI at the time of standby to OFF in power control IC, it to prevent subthreshold level leakage current, and to reduce the power consumption at the time of standby ]

[0010]

[Means for Solving the Problem]

In order to solve the technical problem mentioned above, invention of claim 1 is electronic equipment equipped with the semiconductor integrated circuit which contains the 1st circuit and 2nd circuit which have the normal mode and a standby mode, and an electric power supply means to supply power to a semiconductor integrated circuit,

The mode control means which is built in the 1st circuit and makes the mode of operation of a semiconductor integrated circuit the normal mode or a standby mode,

When the power generated in the electric power supply means when a mode control means made the normal mode the mode of operation of a semiconductor integrated circuit is supplied to the 1st and 2nd circuits and a mode control means makes a standby mode the mode of operation of a semiconductor integrated circuit, while supplying the power generated in the electric power supply means to the 1st circuit, it is electronic equipment characterized by having the electric power supply control means to which it is supposed that the 2nd circuit is not supplied.

[0011]

Invention of claim 8 is the electric power supply approach which supplies the power generated by the electric power supply means to a semiconductor integrated circuit in electronic equipment including the semiconductor integrated circuit which contained the 1st circuit and 2nd circuit which have the normal mode and a standby mode, and an electric power supply means,

It is the electric power supply approach characterized by supplying the power generated in the electric power supply means when the mode of operation of a semiconductor integrated circuit was the normal mode to the 1st and 2nd circuits, and not supplying the 2nd circuit while supplying the power generated in the electric power supply means to the 1st circuit, when the mode of operation of a semiconductor integrated circuit is a standby mode.

[0012]

Since the power source of the Maine circuit which occupies the big field of an integrated circuit in the state of standby is set to OFF, the subthreshold level leakage current in a standby condition can be reduced, and the power consumption in a standby condition can be reduced. Moreover, it is not necessary to include the digital circuit for controlling ON/OFF of a power source in the power control circuit of the configuration of an analogue integrated circuit, and can perform newly designing IC of a power control circuit as it is unnecessary. Furthermore, since a standby control circuit holds the information on the Wake rise factor when carrying out the Wake rise from a standby condition, when the power source of the Maine circuit is set to ON after that, CPU can specify the Wake rise factor immediately and the processing of it corresponding to the specified Wake rise factor is attained.

[0013]

[Embodiment of the Invention]

Hereafter, 1 operation gestalt of this invention is explained with reference to a drawing. Drawing 1 shows the configuration of the whole 1 operation gestalt. A reference mark 1 shows dc-battery drive mold systems, such as PDA and a cellular phone, as a whole. A reference mark 2 shows the system LSI (for example, MOSLSI) which controls a system 1. A reference mark 3 shows the power control circuit which has the regulator which supplies a power source to a system LSI 2, and a reference mark 4 shows a dc-battery.

[0014]

The system LSI 2 has the standby control circuit 21, the Maine circuit 22, and e(embedded) DRAM (Dynamic Random Access Memory)23. Each circuit block of a system LSI 2 has received supply of a power source from the power control circuit 3 through three independent power-source Rhine L21, L22, and L23.

[0015]

Power-source Rhine L11 to the power control circuit 4 from a dc-battery 4 is current supply Rhine to the standby control circuit 21, and the regulator is connected into the power control circuit 3 between Rhine L11 and L21. Power-source Rhine L12 is current supply Rhine to the Maine circuit 22, and the regulator is connected into the power control circuit 3 between Rhine L12 and L22. Power-source Rhine L13 is current supply Rhine to eDRAM23, and the regulator is connected into the power control circuit 3 between Rhine L13 and L23. Furthermore, current supply Rhine L0 from a dc-battery 4 is current supply Rhine to the control circuit in the power control circuit 3. Each regulator in the power control circuit 3 outputs the electrical potential difference on which the predetermined level which suited each circuit part stabilized the output voltage of a dc-battery 4.

[0016]

The standby control circuit 21 is a block to which a power source is always supplied from the power control circuit 3. The Maine circuit 22 is a block which a power source turns off at the time of standby. Only when using eDRAM23 for data backup, a power source is supplied to eDRAM23. For example, program data before going into standby can be backed up to eDRAM23. At the time of standby, when the power source of eDRAM23 is set to OFF, a power source is supplied from the power control circuit 3 only to the standby control circuit 21 of a system LSI 2.

[0017]

Control of the current supply to each circuit block of a system LSI 2 is made by the control signal which the regulator control circuit in the power control circuit 3 generates. ON/OFF of the power source generated on power-source Rhine L22 and L23 according to a control signal is carried out. Furthermore, a power-source IC control signal is transmitted from the standby control circuit 21 to the power control circuit 3 through Rhine L4.

[0018]

In drawing 1 , a reference mark 5 is built in a system 1, the nonvolatile memory the program is remembered to be is shown, and a reference mark 6 shows LCD (Liquid Crystal Display) as a display. A reference mark 7 shows control units, such as a key which a user operates, and a reference mark 8 shows an external input. The external input 8 contains two or more I/O Ports. CPU (Central Processing Unit) is contained in the Maine circuit 22.

[0019]

In the dc-battery drive mold system 1, if the task which CPU processes on a program is lost, it will go into the condition of standby from a normal operation condition. And if an actuation input occurs from a control unit 7 or an input occurs in an external input 8, processing which needs the standby control circuit 21 for the Wake rise will be performed, and the power-source IC control signal it is directed that supplies a power source to eDRAM23 the Maine circuit 22 and for data backup will be supplied to the power control circuit 3 through Rhine L4. And if a power source is supplied through Rhine L22, the Maine circuit 22 will read a program from nonvolatile memory 5, and will perform initialization.

[0020]

Drawing 2 and drawing 3 show the more detailed configuration of 1 operation gestalt shown in drawing 1 mentioned above. Both drawing 2 and drawing 3 correspond to the whole dc-battery drive mold system 1 of drawing 1 . For constraint of a plot tooth space, one drawing is divided into two, it considers as drawing 2 and drawing 3 , drawing 2 mainly shows the configuration of a system LSI 2, and drawing 3 mainly shows the configuration of the power control circuit 3. In fact, as compared with the standby control circuit 21, although the circuit scale of the Maine circuit 22 is far large, only the component relevant to the description of this invention is shown in drawing 2 among the Maine circuits 22.

[0021]

The standby control circuit 21 has clock generators 10 and 20. A clock generator 10 generates the 32kHz clock CLK1, and a clock generator 20 generates the 7.68MHz clock CLK2. Also in any at the time of standby and normal operation, it always oscillates, and a clock generator 10 supplies a clock CLK1 to the circumference circuit 30 of the standby control circuit 21, and the system LSI control circuit 40.

[0022]

A clock generator 20 suspends an oscillation at the time of standby, when there is no need of backing up data in eDRAM23. The clock CLK2 from a clock generator 20 is supplied to the eDRAM control circuit 47 through the frequency divider 46 in the system LSI control circuit 40. Moreover, a clock CLK2 is supplied to PLL50 in the Maine circuit 22 (Phase Locked Loop). PLL50 generates the system clock CLK3 which made the frequency of a clock CLK2 high. While a system clock CLK3 is supplied to each circuit block in the Maine circuit 22, the standby control circuit 21 is supplied.

[0023]

The standby control circuit 21 is roughly divided into two, and consists of a circumference circuit 30 and a system LSI control circuit 40. The JOG/KEY interface 31 of the circumference circuit 30 is an interface which processes the input signal from a control unit 7, and GPIO (General Purpose Input Output)32 is an interface which processes the input data from an external input 8. Moreover, a reference mark 33 is a real time clock circuit. The real time clock circuit 33 is for clocks. a reference mark 34 -- SRAM for data backup (Static Random Access Memory) it is .

[0024]

The system LSI control circuit 40 consists of the standby Wake rise control circuit 41, the clock control circuit 42, the reset control circuit 43, the power control circuits 44, the CPU bus interfaces 45, the clock frequency dividers 46, and the eDRAM control circuits 47 as a state control circuit. The standby Wake rise control circuit 41, the clock control circuit 42, the reset control circuit 43, and the power control circuit 44 operate with the clock CLK1 supplied from a clock generator 10. The eDRAM control circuit 47 operates with the clock which carried out dividing of the clock CLK2 in the clock frequency divider 46. The CPU bus interface 45 operates with the system clock CLK3 supplied from PLL50. The standby Wake rise control circuit 41 controls the clock control circuit 42, the reset control circuit 43, and the power control circuit 44, and manages the condition of the systems 1, such as a standby condition and a normal operation condition.

[0025]

The clock control circuit 42 is controlled to disable PLL50 by the control from the standby Wake rise control circuit 41 at the time of standby. Moreover, the clock control circuit 42 is controlled to suspend a clock generator 20, when controlling a clock generator 20 and not carrying out data backup to eDRAM23 at the time of standby etc.

[0026]

The reset control circuit 43 is control from the standby Wake rise control circuit 41. When a power source is supplied to the Maine circuit 22, the Maine circuit 22 is reset. Moreover, when a dc-battery is inserted from the condition whose dc-battery was lost Reset to the circumference circuit 30 of the Maine circuit 22 and the standby control circuit 21 and the standby Wake rise control circuit 41 of the system LSI control circuit 40, the power control circuit 44, the clock control circuit 42, CPUI/F45, and the eDRAM control circuit 47 is performed.

[0027]
The power control circuit 44 is control from the standby Wake rise control circuit 41, and outputs a power-source IC control signal to Rhine L4. As shown in drawing 3 , the regulator control circuit 90 is established in the power control circuit 3, and a power-source IC control signal is supplied to the regulator control circuit 90 through Rhine L4.

[0028]
The CPU bus interface 45 is connected with CPU60 in the Maine circuit 22 through the CPU bus shown by the thick wire. When CPU60 performs a lead and light of the register in the standby Wake rise control circuit 41 through the CPU bus interface 45, CPU60 can control the standby Wake rise control circuit 41, the clock control circuit 42, the reset control circuit 43, and the eDRAM control circuit 47. The eDRAM control circuit 47 controls refresh of eDRAM23.

[0029]
As an example, the power-off register R1 in which the read/write of CPU60 is possible, and the Wake rise status register R2 are formed in the standby Wake rise control circuit 41. Registers R1 and R2 are the things of predetermined bit length, and hold the contents at the time of standby. The power-off register R1 is a register for publishing a power-source off-command to the standby Wake rise control circuit 41, and setting to a standby condition. The Wake rise status register R2 is a register for holding the information on by which factor the Wake rise occurred. That is, a register R2 is a register in which it is shown which circuit advanced the Wake rise demand among a circuit 31 to the circuits 33 of the circumference circuit 30, when the Wake rise is carried out from a standby condition. The existence of the Wake rise demand of each circuit is shown by the value ("0" or "1") of two or more bit positions of a register R2.

[0030]
The Maine circuit 22 consists of PLL50, CPU60, and interrupt control circuit 70 grade. As mentioned above, in the Maine circuit 22, many other circuits, such as a control circuit of LCD6, are included, but since there are little the description and relation of this invention, illustration and explanation of those circuit blocks are omitted. PLL50 carries out multiplying of the clock CLK3 supplied from a clock generator 20, and generates the system clock CLK3 required for actuation of a system LSI 2. A system clock CLK3 is a clock of a CPU bus, and is supplied also to the standby control circuit 21. Moreover, when the power source of the Maine circuit 22 turns on from OFF by control of the clock control circuit 42, after the oscillation of a clock generator 20 is stabilized, it enables PLL50.

[0031]
CPU60 performs the program stored in nonvolatile memory 5, and processes the display to LCD6, the input from a control unit 7, and the input from an external input 8. Moreover, CPU60 receives interruption from the interrupt control circuit 70, and performs interruption processing. Nonvolatile memory 5, LCD6 and eDRAM23, the CPU bus interface 45, and the interrupt control circuit 70 are connected to the CPU bus connected with CPU60.

[0032]
Moreover, the JOG/KEY interface 31, GPIO32, the real time clock circuit 33, and SRAM34 of the circumference circuit 30 are connected with the CPU bus. Each of these circuits included in the circumference circuit 30 consists of a bus interface circuitry which operates with the system clock CLK3 raised by PLL50 at the high frequency, and a part which carries out an interior action with the clock CLK1 supplied from a clock generator 10. CPU60 can control these circuits 31-34 by performing the lead of the register of each circuit, and a light through the bus interface circuitry of each circuit from CPU60. Furthermore, circuits 31-33 supply an interruput signal to the interruption circuit 70 of the Maine circuit 22, and are made possible [ notifying interruption ].

[0033]
Moreover, also in the condition that the system clock CLK3 stopped, it has composition in which the

standby control circuit 21 can operate, and if it sets they to be [ any of an interface 31, GPIO32, and the real time clock circuit 33 ] and the Wake rise factor occurs from a standby condition at the time of standby, the Wake rise demand will be notified to the standby Wake rise control circuit 41.

[0034]

The standby Wake rise control circuit 41 supplies a power source to the Maine circuit 22 by controlling the power control circuit 44 and supplying a power-source IC control signal to the power control circuit 3. Then, a clock generator 20 is oscillated, and if PLL50 is enabled and a system clock CLK3 is stabilized, the Wake rise factor will be notified to the interrupt control circuit 70 as an interruput signal. The status register in which it is shown whether the interrupt has occurred or not is prepared in the interrupt control circuit 70.

[0035]

The power control circuit 3 is explained with reference to drawing 3 . The output voltage of a dc-battery 4 is supplied to a regulator 80, the regulator control circuit 90, a regulator 100, and a regulator 110. In a standby condition and a normal operation condition, a regulator 80 supplies a power source through Rhine L21 to the standby control circuit 21.

[0036]

A regulator 110 supplies a power source for the output voltage of a dc-battery 4 to the Maine circuit 22 through the gate G1 and Rhine L22. A regulator 100 supplies a power source for the output voltage of a dc-battery 4 to eDRAM23 through the gate G2 and Rhine L23. The power-source IC control signal from the power control circuit 44 is supplied to the regulator control circuit 90, and the control signal with which the regulator control circuit 90 controls the gates G1 and G2 is generated. According to a power-source IC control signal, ON/OFF of a power source to the Maine circuit 22 and each of eDRAM23 is controlled by it.

[0037]

In 1 operation gestalt of this invention, the control action made by CPU60 is explained. First, with reference to the flow chart of drawing 4 , the actuation which a system LSI 2 starts in the standby condition from a normal operation condition is explained.

[0038]

In the first step ST 1, the contents of the register in the interruption circuit 70 are led, and it checks that the interrupt has not occurred. When there is no task which CPU60 should process at present, if it is checked that the interrupt has not occurred, and CPU60 sets the power-off register R1 in the standby Wake rise control circuit 41 in a step ST 2, a power-source off-command is published to the standby Wake rise control circuit 41, and it will be in a standby condition.

[0039]

a power-source off-command -- CPU Bath -- it is and the standby Wake rise control circuit 41 is supplied through the CPU bus interface 45. The standby Wake rise control circuit 41 controls the clock control circuit 42 and the power control circuit 44, and goes into a standby condition. That is, in considering PLL50 as disabling and not carrying out data backup to eDRAM23 by the clock control circuit 42, a clock generator 20 is suspended and the power control circuit 44 outputs a power-source IC control signal to Rhine L4. When the regulator control circuit 90 of the power control circuit 3 receives a power-source IC control signal, turns off the gate G1, sets the power source over the Maine circuit 22 to OFF and does not carry out data backup to eDRAM23, the gate G2 is turned OFF and the power source over eDRAM23 is set to OFF.

[0040]

Next, with reference to the flow chart shown in drawing 5 , the Wake rise is carried out from a standby condition, and the actuation which processes the block which has advanced the Wake rise demand is explained.

[0041]

If the Wake rise factor occurs, reset processing will be started and a system will be initialized in a step ST 11. In this case, the existence of the Wake rise demand of each circuit of the JOG/KEY interface 31 of the circumference circuit 30, GPIO32, and the real time clock circuit 33 is shown by the value of two or more bit positions of the Wake rise status register R2. By supplying the Wake rise demand to the standby Wake rise control circuit 41, the power control circuit 44 supplies a power-source IC control signal to the regulator control circuit 90 in the power control circuit 3. The gates G1 and G2 are controlled by it, and the Maine circuit 22 and the power source over eDRAM23 are set to ON.

[0042]

Moreover, when a power source is supplied to the Maine circuit 22, CPU60 of the Maine circuit 22 and the interrupt control circuit 70 are reset by the reset control circuit 43. Furthermore, when the clock generator 20 has stopped, actuation is started, PLL50 is considered as enabling and generation of a system clock CLK3 is started. By starting supply of a power source, and supply of a system clock CLK3, the CPU60 grade of the Maine circuit 22 starts actuation.

[0043]

In a step ST 12, CPU60 leads the Wake rise register R2 in the standby Wake rise control circuit 41. In a step ST 13, it is judged whether it is the Wake rise from a standby condition. The contents of the Wake rise register R2 to this judgment is possible. For example, when a dc-battery 4 is inserted from the condition whose dc-battery 4 was lost, the judgment result of a step ST 13 is considered as negation, and processing progresses to a step ST 14.

[0044]

A step ST 14 is the Maine processing which the dc-battery drive mold system 1 performs. In the Maine processing, the processing (KEY processing) to the input through the JOG/KEY interface 31, the processing (GPIO processing) to the input through GPIO32, and the processing (RTC processing) to the input from the real time clock circuit 33 are included.

[0045]

In a step ST 13, if judged with starting from standby, standby starting processing will be made.

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art]
As for pocket devices, such as a cellular phone, PDA (Personal Digital Assistants), and a luggable computer, it is common to use the dc-battery as a power source. A dc-battery drive mold system consists of a system LSI (Large Scale Integrated Circuit: large-scale integrated circuit), a dc-battery, power control IC (Integrated Circuit: integrated circuit), etc. System LSIs are CPU, memory, and LSI that integrated various circumference functional block for one chip. Recently, it has not only a message function but a communication link, a processing facility, etc. of multimedia as a function of a pocket device, and detailed-ization of a system LSI is progressing. For example, detailed-ization of 0.3 micrometers or less is carried out.
[0003]
Since power consumption awaits and the die length of time amount is specified by the portable mold electronic equipment of dc-battery drive molds, such as a cellular phone, reduction of power consumption is important. For example, supply of a clock is suspended in the following patent reference 1, always carrying out power-source ON of the system LSI, and the method of changing into a standby condition and reducing the power consumption at the time of standby is indicated.
[0004]
[Patent reference 1]
JP,2002-170933,A
[0005]

---

[Translation done.]

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

## EFFECT OF THE INVENTION

[Effect of the Invention]
Since a power source is turned off to the Maine circuit which occupies the field of the great portion of LSI at the time of standby according to this invention, it can prevent that subthreshold level leakage current flows, and the power consumption at the time of standby can be reduced sharply. Moreover, by easy circuitry, this invention can prevent the direct current which the potential indeterminate by the power source OFF causes, and can reduce the power consumption at the time of standby more certainly.
[0062]
According to this invention, it is not necessary to include the digital circuit for controlling ON/OFF of a power source in the power control circuit of the configuration of an analogue integrated circuit, and can perform newly designing IC of a power control circuit as it is unnecessary. Furthermore, since according to this invention a standby control circuit holds the information on the Wake rise factor when carrying out the Wake rise from a standby condition, when the power source of the Maine circuit is set to ON after that, CPU can specify the Wake rise factor immediately and the processing of it corresponding to the specified Wake rise factor is attained.

---

[Translation done.]

* NOTICES *

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

---

## TECHNICAL PROBLEM

---

[Problem(s) to be Solved by the Invention]
Since the power source always turned on the approach given in the patent reference 1 to the system LSI, the subthreshold level leakage current of the transistor of a system LSI, for example, MOS(Metal Oxide Semiconductor: metal oxide semiconductor) LSI, dropped off, and it had the problem more than which the power consumption at the time of standby increases. Subthreshold level leakage current is a current on which an MOS transistor flows toward low supply voltage from high supply voltage also in the time of un-operating.

[0006]
In MOSLSI, raising the threshold electrical potential difference of a transistor generally is made as a cure which decreases subthreshold level leakage current. Raising a threshold electrical potential difference can make by process tuning and the method of giving substrate potential. However, when a normal operation condition is considered, raising the threshold electrical potential difference of a transistor is connected with reducing the rate of a device, and there is a problem which is not suitable in application with a high-speed working speed.

[0007]
As other approaches of controlling subthreshold level leakage current, it is reducing supply voltage. In the semantics of improvement in the speed, this approach is also unsuitable and impossible for moreover intercepting a current completely.

(19)**日本国特許庁(JP)**　(12)**公開特許公報(A)**　(11)特許出願公開番号
**特開2004-140503**
**(P2004-140503A)**
(43)公開日　**平成16年5月13日(2004.5.13)**

| (51)Int.Cl.$^7$ | FI | | | テーマコード（参考） |
|---|---|---|---|---|
| **H03K 19/00** | H03K 19/00 | | A | 5B011 |
| **G06F 1/32** | H01L 27/04 | | F | 5F038 |
| **H01L 21/822** | G06F 1/00 | 332B | | 5J056 |
| **H01L 27/04** | | | | |

**審査請求 有　請求項の数 8　OL　（全 16 頁）**

(21)出願番号　特願2002-301813(P2002-301813)
(22)出願日　平成14年10月16日(2002.10.16)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082762
弁理士　杉浦　正知
(74)代理人　100120640
弁理士　森　幸一
(72)発明者　上田　倫大
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　木場　裕之
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

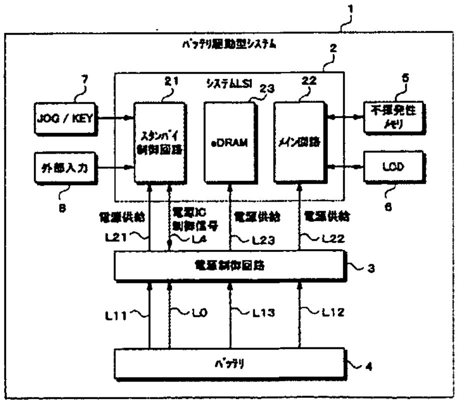
(54)【発明の名称】電子機器と電力供給方法

(57)【要約】

【課題】バッテリ電源で駆動される電子機器において、スタンバイ状態の消費電力を低減する。

【解決手段】システムＬＳＩ２には、スタンバイ制御回路２１とＣＰＵを含むメイン回路２２とｅＤＲＡＭ２３とが含まれる。各回路ブロックは、独立した電源ラインＬ２１，Ｌ２２およびＬ２３を介して電源の供給を受ける。スタンバイ制御回路２１は、常時電源が供給され、メイン回路２２は、スタンバイ時に電源がＯＦＦされる。ｅＤＲＡＭ２３を使用する場合にのみ、ｅＤＲＡＭ２３に電源が供給される。各回路ブロックに対する電源供給の制御は、スタンバイ制御回路２１および電源制御回路３が行う。ＣＰＵが処理するタスクがなくなると、通常動作状態からスタンバイ状態に入る。操作部７から操作入力が発生したり、外部入力８に入力が発生すると、スタンバイ制御回路２１がウェイクアップに必要な処理を行い、メイン回路２２に対して電源が供給される。

【選択図】　図１



【特許請求の範囲】

【請求項１】

通常モードとスタンバイモードとを有する第１の回路及び第２の回路を内蔵する半導体集積回路と、前記半導体集積回路へ電力を供給する電力供給手段とを備えた電子機器であって、

前記第１の回路に内蔵され、前記半導体集積回路の動作モードを前記通常モードあるいは前記スタンバイモードとするモード制御手段と、

前記モード制御手段が前記半導体集積回路の動作モードを前記通常モードとした場合には、前記電力供給手段において生成された電力を前記第１及び第２の回路へ供給し、前記モード制御手段が前記半導体集積回路の動作モードを前記スタンバイモードとした場合には、前記電力供給手段において生成された電力を前記第１の回路へ供給すると共に前記第２の回路へは供給しないこととする電力供給制御手段とを備えたことを特徴とする電子機器。

【請求項２】

記憶手段をさらに備え、

前記第２の回路は前記記憶手段に接続された演算手段を含み、

前記モード制御手段は、前記半導体集積回路を前記スタンバイモードから前記通常モードへ遷移させたときに、前記演算手段に対して前記記憶手段に格納されている所定のプログラムを実行させる請求項１に記載の電子機器。

【請求項３】

前記第２の回路は演算手段を含み、

前記モード制御手段は、前記スタンバイモードにおいて、前記半導体集積回路を前記通常モードへ遷移させる要因を示すウェイクアップ情報を保持し、

前記演算手段は、前記モード制御手段が前記半導体集積回路を前記スタンバイモードから前記通常モードへ遷移させたとき、前記ウェイクアップ情報に応じて前記要因を特定する請求項１に記載の電子機器。

【請求項４】

前記第２の回路は演算手段と、

前記演算手段によるタスク処理に対して割り込み処理を実行する割り込み手段とを含み、

前記モード制御手段は、前記スタンバイモードにおいて、前記半導体集積回路を前記通常モードへ遷移させる要因を示すウェイクアップ情報を保持し、

前記割り込み手段は、前記モード制御手段が前記半導体集積回路を前記スタンバイモードから前記通常モードへ遷移させた後、前記ウェイクアップ情報に応じて前記割り込み処理を実行する請求項１に記載の電子機器。

【請求項５】

前記第１の回路は、前記スタンバイモードにおいても前記電供給手段より供給された電力を用いてリフレッシュ動作を実行する記憶手段を含む請求項１に記載の電子機器。

【請求項６】

前記モード制御手段は、前記スタンバイモードにおいて前記憶手段にデータを保持させない場合には、前記電力供給手段に対し前記スタンバイモードにおいて前記記憶手段へ電力を供給させないこととする請求項５に記載の電子機器。

【請求項７】

前記第２の回路は、

内部回路と、

前記第１の回路から出力された信号を入力して前記内部回路へ供給すると共に、前記スタンバイモードにおいては供給される制御信号に応じて電位レベルが固定された信号を前記内部回路へ供給する入力手段とを含む請求項１に記載の電子機器。

【請求項８】

通常モードとスタンバイモードとを有する第１の回路及び第２の回路を内蔵した半導体集積回路と電力供給手段とを含む電子機器において、前記電力供給手段により生成された電

力を前記半導体集積回路へ供給する電力供給方法であって、
前記半導体集積回路の動作モードが前記通常モードである場合には、前記電力供給手段において生成された電力を前記第１及び第２の回路へ供給し、前記半導体集積回路の動作モードが前記スタンバイモードである場合には、前記電力供給手段において生成された電力を前記第１の回路へ供給すると共に前記第２の回路へは供給しないことを特徴とする電力供給方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、例えばバッテリ電源で駆動される電子機器と電力供給方法、特に、消費電力の低減のための構成および方法に関する。

【０００２】

【従来の技術】

携帯電話、ＰＤＡ（Personal Digital Assistants）、可搬型コンピュータ等の携帯機器は、バッテリを電源としているのが普通である。バッテリ駆動型システムは、システムＬＳＩ（Large Scale Integrated Circuit：大規模集積回路）、バッテリ、電源制御ＩＣ（Integrated Circuit：集積回路）等で構成される。システムＬＳＩとは、ＣＰＵ、メモリ、各種周辺機能ブロックを１つのチップに集積化したＬＳＩである。最近では、携帯機器の機能として通話機能のみならず、マルチメディアの通信および処理機能等も備えられ、システムＬＳＩの微細化が進んでいる。例えば０．３μｍ以下の微細化がされるようになっている。

【０００３】

携帯電話等のバッテリ駆動型の可搬型電子機器では、消費電力が待ち受け時間の長さを規定するので、消費電力の低減が重要である。例えば下記の特許文献１には、システムＬＳＩを常時電源ＯＮしたまま、クロックの供給を停止し、スタンバイ状態にしてスタンバイ時の消費電力を低減する方法が開示されている。

【０００４】

【特許文献１】

特開２００２－１７０９３３号公報

【０００５】

【発明が解決しようとする課題】

特許文献１に記載の方法は、システムＬＳＩに対して常時電源がＯＮしているので、システムＬＳＩ例えばMOS（Metal Oxide Semiconductor：金属酸化膜半導体）ＬＳＩのトランジスタのサブスレッショルドリーク電流がながれ、スタンバイ時の消費電力が多くなる問題があった。サブスレッショルドリーク電流は、ＭＯＳトランジスタが非動作時でも高電源電圧から低電源電圧に向かって流れる電流である。

【０００６】

ＭＯＳＬＳＩでは、サブスレッショルドリーク電流を減少させる対策として、一般的にはトランジスタのしきい値電圧を上げることがなされている。しきい値電圧を上げることは、プロセスチューニングや、基板電位を与えるといった方法でなしうる。しかしながら、通常動作状態を考えた場合、トランジスタのしきい値電圧を上げることは、デバイスの速度を低下させることにつながり、動作速度が高速なアプリケーションには向いていない問題がある。

【０００７】

サブスレッショルドリーク電流を抑制する他の方法としては、電源電圧を低下させることである。この方法も、高速化という意味では、不向きであり、しかも、完全に電流を遮断することは不可能である。従って、ＬＳＩのパフォーマンスの代表的な指標である、動作速度と消費電力は常に相反する要素であり、双方の性能を向上させることは非常に困難な課題となっている。

【０００８】
さらに、電源制御ＩＣとシステムＬＳＩとが別々の構成とされ、電源制御ＩＣにおいて電源と電源のＯＮ／ＯＦＦのコントロール信号を形成し、電源制御ＩＣからシステムＬＳＩに対して電源と電源のＯＮ／ＯＦＦのコントロール信号を供給する構成として、スタンバイ時に電源をＯＦＦするように制御することによってスタンバイ時の消費電力を削減することが考えられる。通常、電源制御ＩＣは、レギュレータ等のアナログＩＣ回路の構成とされているので、コントロール信号を発生するための複雑なディジタル回路を電源制御ＩＣに組み込むことは、新たに電源制御ＩＣを設計する開発工数がかかり、電源制御ＩＣ自体のコストが上がる問題があった。

【０００９】
したがって、この発明の目的は、電源制御ＩＣにスタンバイ時のＬＳＩの電源をＯＦＦとするディジタル回路を組み込むことが不要で、サブスレッショルドリーク電流を防止し、スタンバイ時の消費電力を削減することが可能な電子機器と電力供給方法を提供することにある。

【００１０】

【課題を解決するための手段】

上述した課題を解決するために、請求項１の発明は、通常モードとスタンバイモードとを有する第１の回路及び第２の回路を内蔵する半導体集積回路と、半導体集積回路へ電力を供給する電力供給手段とを備えた電子機器であって、
第１の回路に内蔵され、半導体集積回路の動作モードを通常モードあるいはスタンバイモードとするモード制御手段と、
モード制御手段が半導体集積回路の動作モードを通常モードとした場合には、電力供給手段において生成された電力を第１及び第２の回路へ供給し、モード制御手段が半導体集積回路の動作モードをスタンバイモードとした場合には、電力供給手段において生成された電力を第１の回路へ供給すると共に第２の回路へは供給しないこととする電力供給制御手段とを備えたことを特徴とする電子機器である。

【００１１】
請求項８の発明は、通常モードとスタンバイモードとを有する第１の回路及び第２の回路を内蔵した半導体集積回路と電力供給手段とを含む電子機器において、電力供給手段により生成された電力を半導体集積回路へ供給する電力供給方法であって、
半導体集積回路の動作モードが通常モードである場合には、電力供給手段において生成された電力を第１及び第２の回路へ供給し、半導体集積回路の動作モードがスタンバイモードである場合には、電力供給手段において生成された電力を第１の回路へ供給すると共に第２の回路へは供給しないことを特徴とする電力供給方法である。

【００１２】
スタンバイ状態では、集積回路の大きな領域を占めるメイン回路の電源をＯＦＦとするので、スタンバイ状態におけるサブスレッショルドリーク電流を削減でき、スタンバイ状態における消費電力を削減できる。また、アナログ集積回路の構成の電源制御回路に電源のＯＮ／ＯＦＦを制御するためのディジタル回路を組み込む必要がなく、新たに電源制御回路のＩＣを設計することが不要とできる。さらに、スタンバイ状態からウェイクアップする時に、ウェイクアップ要因の情報をスタンバイ制御回路が保持するので、その後メイン回路の電源がＯＮとされた時に、ＣＰＵがウェイクアップ要因を直ちに特定でき、特定されたウェイクアップ要因に対応する処理が可能となる。

【００１３】

【発明の実施の形態】

以下、この発明の一実施形態について図面を参照して説明する。図１は、一実施形態の全体の構成を示す。参照符号１は、ＰＤＡ、携帯電話等のバッテリ駆動型システムを全体として示す。参照符号２は、システム１を制御するシステムＬＳＩ（例えばＭＯＳＬＳＩ）を示す。参照符号３は、システムＬＳＩ２に対して電源を供給するレギュレータを有する電源制御回路を示し、参照符号４がバッテリを示す。

【００１４】
システムＬＳＩ２は、スタンバイ制御回路２１とメイン回路２２とｅ（ｅｍｂｅｄｄｅｄ）ＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）２３とを有している。システムＬＳＩ２の各回路ブロックは、電源制御回路３から３つの独立した電源ラインＬ２１，Ｌ２２およびＬ２３を介して電源の供給を受けている。

【００１５】
バッテリ４から電源制御回路４に対する電源ラインＬ１１は、スタンバイ制御回路２１に対する電源供給ラインで、ラインＬ１１およびＬ２１の間の電源制御回路３内にレギュレータが接続されている。電源ラインＬ１２は、メイン回路２２に対する電源供給ラインで、ラインＬ１２およびＬ２２の間の電源制御回路３内にレギュレータが接続されている。電源ラインＬ１３は、ｅＤＲＡＭ２３に対する電源供給ラインで、ラインＬ１３およびＬ２３の間の電源制御回路３内にレギュレータが接続されている。さらに、バッテリ４からの電源供給ラインＬ０は、電源制御回路３内の制御回路に対する電源供給ラインである。電源制御回路３内の各レギュレータは、バッテリ４の出力電圧を各回路部分に適合した所定レベルの安定化した電圧を出力する。

【００１６】
スタンバイ制御回路２１は、電源制御回路３から常時電源を供給されるブロックである。メイン回路２２は、スタンバイ時に電源がＯＦＦするブロックである。データバックアップのためにｅＤＲＡＭ２３を使用する場合にのみ、ｅＤＲＡＭ２３に電源が供給される。例えばスタンバイに入る前のプログラムデータをｅＤＲＡＭ２３にバックアップすることができる。スタンバイ時に、ｅＤＲＡＭ２３の電源がＯＦＦとされる場合には、システムＬＳＩ２のスタンバイ制御回路２１に対してのみ電源制御回路３から電源が供給される。

【００１７】
システムＬＳＩ２の各回路ブロックに対する電源供給の制御は、電源制御回路３内のレギュレータ制御回路が発生する制御信号によってなされる。制御信号に応じて電源ラインＬ２２およびＬ２３上に発生する電源がＯＮ／ＯＦＦされる。さらに、ラインＬ４を介して電源ＩＣ制御信号がスタンバイ制御回路２１から電源制御回路３に対して伝送される。

【００１８】
図１において、参照符号５は、システム１に内蔵され、プログラムが記憶されている不揮発性メモリを示し、参照符号６は、表示部としてのＬＣＤ（Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ Ｄｉｓｐｌａｙ）を示す。参照符号７は、ユーザが操作するキー等の操作部を示し、参照符号８が外部入力を示す。外部入力８は、複数のＩ／Ｏポートを含んでいる。メイン回路２２には、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）が含まれている。

【００１９】
バッテリ駆動型システム１において、プログラム上でＣＰＵが処理するタスクがなくなると、通常動作状態からスタンバイの状態に入る。そして、操作部７から操作入力が発生したり、外部入力８に入力が発生すると、スタンバイ制御回路２１がウェイクアップに必要な処理を行い、メイン回路２２およびデータバックアップ用のｅＤＲＡＭ２３に対して電源を供給するように指示する電源ＩＣ制御信号がラインＬ４を介して電源制御回路３に供給される。そして、メイン回路２２は、ラインＬ２２を通じて電源が供給されると、不揮発性メモリ５からプログラムを読み込み、初期化を実行する。

【００２０】
図２および図３は、上述した図１に示す一実施形態のより詳細な構成を示す。図２および図３の両者が図１のバッテリ駆動型システム１の全体に対応するものである。作図スペースの制約のために、１枚の図面を２分割して図２および図３としたものであり、図２が主としてシステムＬＳＩ２の構成を示し、図３が主として電源制御回路３の構成を示す。実際には、スタンバイ制御回路２１に比してメイン回路２２の回路規模は、はるかに大きいが、メイン回路２２の内で、この発明の特徴と関連する構成部分のみが図２に示されている。

【００２１】
スタンバイ制御回路２１は、クロック発振器１０および２０を有している。クロック発振器１０は、例えば３２ｋＨｚのクロックＣＬＫ１を生成し、クロック発振器２０は、例えば７．６８ＭＨｚのクロックＣＬＫ２を生成する。クロック発振器１０は、スタンバイ時および通常動作時の何れにおいても常に発振し、スタンバイ制御回路２１の周辺回路３０およびシステムＬＳＩ制御回路４０に対してクロックＣＬＫ１を供給する。

【００２２】
クロック発振器２０は、ｅＤＲＡＭ２３にデータをバックアップする必要が無い場合で、且つスタンバイ時に発振を停止する。クロック発振器２０からのクロックＣＬＫ２がシステムＬＳＩ制御回路４０内の分周回路４６を介してｅＤＲＡＭ制御回路４７に供給される。また、クロックＣＬＫ２は、メイン回路２２内のＰＬＬ（Ｐｈａｓｅ Ｌｏｃｋｅｄ Ｌｏｏｐ）５０に供給される。ＰＬＬ５０は、クロックＣＬＫ２の周波数を高くしたシステムクロックＣＬＫ３を生成する。システムクロックＣＬＫ３がメイン回路２２内の各回路ブロックに供給されると共に、スタンバイ制御回路２１に供給される。

【００２３】
スタンバイ制御回路２１は、大きく２つに分かれており、周辺回路３０およびシステムＬＳＩ制御回路４０から構成される。周辺回路３０のＪＯＧ／ＫＥＹインターフェース３１は、操作部７からの入力信号を処理するインターフェースであり、ＧＰＩＯ（Ｇｅｎｅｒａｌ Ｐｕｒｐｏｓｅ Ｉｎｐｕｔ Ｏｕｔｐｕｔ）３２は、外部入力８からの入力データを処理するインターフェースである。また、参照符号３３は、リアルタイムクロック回路である。リアルタイムクロック回路３３は、時計用のものである。参照符号３４は、データバックアップ用のＳＲＡＭ（Ｓｔａｔｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）である。

【００２４】
システムＬＳＩ制御回路４０は、状態制御回路としてのスタンバイウェイクアップ制御回路４１と、クロック制御回路４２と、リセット制御回路４３と、電源制御回路４４と、ＣＰＵバスインターフェース４５と、クロック分周回路４６と、ｅＤＲＡＭ制御回路４７から構成される。スタンバイウェイクアップ制御回路４１と、クロック制御回路４２と、リセット制御回路４３と、電源制御回路４４は、クロック発振器１０から供給されるクロックＣＬＫ１で動作する。ｅＤＲＡＭ制御回路４７は、クロックＣＬＫ２をクロック分周回路４６で分周したクロックで動作する。ＣＰＵバスインタフェース４５は、ＰＬＬ５０から供給されるシステムクロックＣＬＫ３で動作する。スタンバイウェイクアップ制御回路４１は、クロック制御回路４２と、リセット制御回路４３と、電源制御回路４４を制御し、スタンバイ状態、通常動作状態といったシステム１の状態を管理する。

【００２５】
クロック制御回路４２は、スタンバイウェイクアップ制御回路４１からの制御でスタンバイ時にＰＬＬ５０をディセーブルするように制御する。また、クロック制御回路４２は、クロック発振器２０を制御し、スタンバイ時等にｅＤＲＡＭ２３にデータバックアップしない場合には、クロック発振器２０を停止するように制御する。

【００２６】
リセット制御回路４３は、スタンバイウェイクアップ制御回路４１からの制御で、メイン回路２２に電源が供給されたときに、メイン回路２２のリセットを行い、また、バッテリが無くなった状態からバッテリが挿入された時に、メイン回路２２、スタンバイ制御回路２１の周辺回路３０およびシステムＬＳＩ制御回路４０のスタンバイウェイクアップ制御回路４１、電源制御回路４４、クロック制御回路４２、ＣＰＵＩ／Ｆ４５およびｅＤＲＡＭ制御回路４７に対するリセットを行う。

【００２７】
電源制御回路４４は、スタンバイウェイクアップ制御回路４１からの制御で、電源ＩＣ制御信号をラインＬ４に出力する。図３に示すように、電源制御回路３には、レギュレータ制御回路９０が設けられ、ラインＬ４を介して電源ＩＣ制御信号がレギュレータ制御回路

９０に供給される。

【００２８】

ＣＰＵバスインターフェース４５は、太線で示すＣＰＵバスを介してメイン回路２２内のＣＰＵ６０と接続されている。ＣＰＵバスインターフェース４５を介してＣＰＵ６０がスタンバイウェイクアップ制御回路４１内のレジスタのリードおよびライトを行うことによって、スタンバイウェイクアップ制御回路４１と、クロック制御回路４２と、リセット制御回路４３と、ｅＤＲＡＭ制御回路４７をＣＰＵ６０が制御できる。ｅＤＲＡＭ制御回路４７は、ｅＤＲＡＭ２３のリフレッシュを制御する。

【００２９】

一例として、スタンバイウェイクアップ制御回路４１内にＣＰＵ６０がリードライト可能なパワーオフレジスタＲ１と、ウェイクアップステータスレジスタＲ２とが設けられている。レジスタＲ１およびＲ２は、所定ビット長のものであり、スタンバイ時においても内容を保持する。パワーオフレジスタＲ１は、スタンバイウェイクアップ制御回路４１に対して電源ＯＦＦコマンドを発行し、スタンバイ状態にセットするためのレジスタである。ウェイクアップステータスレジスタＲ２は、ウェイクアップがどの要因で発生したかの情報を保持するためのレジスタである。すなわち、レジスタＲ２は、スタンバイ状態からウェイクアップした時に、周辺回路３０の回路３１から回路３３の内で、どの回路がウェイクアップ要求を出したかを示すレジスタである。各回路のウェイクアップ要求の有無がレジスタＲ２の複数のビット位置の値（”０”または”１”）によって示される。

【００３０】

メイン回路２２は、ＰＬＬ５０、ＣＰＵ６０、割り込み制御回路７０等から構成される。上述したように、メイン回路２２内には、ＬＣＤ６の制御回路等の他の多くの回路が含まれているが、この発明の特徴と関係が少ないので、それらの回路ブロックの図示と説明を省略する。ＰＬＬ５０は、クロック発振器２０から供給されるクロックＣＬＫ３を逓倍し、システムＬＳＩ２の動作に必要なシステムクロックＣＬＫ３を生成する。システムクロックＣＬＫ３は、ＣＰＵバスのクロックであり、スタンバイ制御回路２１にも供給される。また、クロック制御回路４２の制御により、メイン回路２２の電源がＯＦＦからＯＮする時に、クロック発振器２０の発振が安定した後にＰＬＬ５０がイネーブルされるようになっている。

【００３１】

ＣＰＵ６０は、不揮発性メモリ５に格納されているプログラムを実行し、ＬＣＤ６への表示、操作部７からの入力および外部入力８からの入力の処理を行う。また、ＣＰＵ６０は、割り込み制御回路７０からの割り込みを受付けて割り込み処理を行う。ＣＰＵ６０と接続されたＣＰＵバスには、不揮発性メモリ５、ＬＣＤ６、ｅＤＲＡＭ２３、ＣＰＵバスインターフェース４５、割り込み制御回路７０が接続されている。

【００３２】

また、周辺回路３０のＪＯＧ／ＫＥＹインターフェース３１、ＧＰＩＯ３２、リアルタイムクロック回路３３およびＳＲＡＭ３４がＣＰＵバスと接続されている。周辺回路３０に含まれるこれらの回路のそれぞれは、ＰＬＬ５０によって高い周波数に持ち上げられたシステムクロックＣＬＫ３で動作するバスインタフェース回路と、クロック発振器１０から供給されるクロックＣＬＫ１で内部動作する部分とから構成される。ＣＰＵ６０から各回路のバスインタフェース回路を介して各回路のレジスタのリード、ライトを行うことによって、ＣＰＵ６０がこれらの回路３１〜３４を制御できる。さらに、回路３１〜３３がメイン回路２２の割り込み回路７０に対して割り込み信号を供給し、割り込みを通知することが可能とされている。

【００３３】

また、システムクロックＣＬＫ３が停止した状態においても、スタンバイ制御回路２１が動作可能な構成となっており、スタンバイ時に、インターフェース３１、ＧＰＩＯ３２、リアルタイムクロック回路３３の何れかにおいて、スタンバイ状態からウェイクアップ要因が発生すると、スタンバイウェイクアップ制御回路４１にウェイクアップ要求が通知さ

れる。

【００３４】

スタンバイウェイクアップ制御回路４１は、電源制御回路４４を制御し、電源ＩＣ制御信号を電源制御回路３に供給することによって、メイン回路２２に電源を供給する。その後、クロック発振器２０を発振させ、ＰＬＬ５０をイネーブルにしてシステムクロックＣＬＫ３が安定すると、ウェイクアップ要因を割り込み信号として割り込み制御回路７０に通知する。割り込み制御回路７０には、割り込みが発生しているか否かを示すステータスレジスタが設けられている。

【００３５】

図３を参照して、電源制御回路３について説明する。バッテリ４の出力電圧がレギュレータ８０、レギュレータ制御回路９０、レギュレータ１００、レギュレータ１１０に対して供給される。スタンバイ状態および通常動作状態において、レギュレータ８０は、スタンバイ制御回路２１に対してラインＬ２１を通じて電源を供給する。

【００３６】

レギュレータ１１０は、バッテリ４の出力電圧をゲートＧ１およびラインＬ２２を介してメイン回路２２に対して電源を供給する。レギュレータ１００は、バッテリ４の出力電圧をゲートＧ２およびラインＬ２３を介してｅＤＲＡＭ２３に対して電源を供給する。電源制御回路４４からの電源ＩＣ制御信号がレギュレータ制御回路９０に供給され、レギュレータ制御回路９０がゲートＧ１およびＧ２を制御する制御信号を発生する。それによって、電源ＩＣ制御信号に応じてメイン回路２２およびｅＤＲＡＭ２３のそれぞれに対する電源のＯＮ／ＯＦＦが制御される。

【００３７】

この発明の一実施形態において、ＣＰＵ６０によってなされる制御動作について説明する。最初に、図４のフローチャートを参照して、システムＬＳＩ２が通常動作状態からスタンバイ状態に入る動作について説明する。

【００３８】

最初のステップＳＴ１において、割り込み回路７０内のレジスタの内容をリードし、割り込みが発生していないことを確認する。ＣＰＵ６０が現時点で処理すべきタスクがない場合で、且つ割り込みが発生していないことが確認されたら、ステップＳＴ２において、ＣＰＵ６０がスタンバイウェイクアップ制御回路４１内のパワーオフレジスタＲ１をセットすると、スタンバイウェイクアップ制御回路４１に対して電源ＯＦＦコマンドを発行し、スタンバイ状態となる。

【００３９】

電源ＯＦＦコマンドは、ＣＰＵバスおいてＣＰＵバスインターフェース４５を介してスタンバイウェイクアップ制御回路４１に供給される。スタンバイウェイクアップ制御回路４１は、クロック制御回路４２と、電源制御回路４４を制御し、スタンバイ状態に入る。すなわち、クロック制御回路４２によってＰＬＬ５０をディセーブルとし、ｅＤＲＡＭ２３にデータバックアップしない場合には、クロック発振器２０を停止し、電源制御回路４４が電源ＩＣ制御信号をラインＬ４に出力する。電源制御回路３のレギュレータ制御回路９０が電源ＩＣ制御信号を受け取ってゲートＧ１をＯＦＦしてメイン回路２２に対する電源をＯＦＦとし、ｅＤＲＡＭ２３にデータバックアップしない場合には、ゲートＧ２をＯＦＦにしてｅＤＲＡＭ２３に対する電源をＯＦＦとする。

【００４０】

次に図５に示すフローチャートを参照して、スタンバイ状態からウェイクアップし、ウェイクアップ要求を出しているブロックを処理する動作について説明する。

【００４１】

ウェイクアップ要因が発生すると、リセット処理が開始され、ステップＳＴ１１においてシステムが初期化される。この場合、周辺回路３０のＪＯＧ／ＫＥＹインターフェース３１、ＧＰＩＯ３２、リアルタイムクロック回路３３の各回路のウェイクアップ要求の有無がウェイクアップステータスレジスタＲ２の複数のビット位置の値によって示される。ウ

ェイクアップ要求がスタンバイウェイクアップ制御回路４１に供給されることによって、電源制御回路４４が電源ＩＣ制御信号を電源制御回路３内のレギュレータ制御回路９０に供給する。それによって、ゲートＧ１およびＧ２が制御され、メイン回路２２およびｅＤＲＡＭ２３に対する電源がＯＮとされる。

【００４２】
また、メイン回路２２に電源が供給されたときに、リセット制御回路４３によって、メイン回路２２のＣＰＵ６０および割り込み制御回路７０がリセットされる。さらに、クロック発振器２０が停止している場合には、動作が開始され、ＰＬＬ５０がイネーブルとされ、システムクロックＣＬＫ３の生成が開始される。電源の供給とシステムクロックＣＬＫ３の供給が開始されることによって、メイン回路２２のＣＰＵ６０等が動作を開始する。

【００４３】
ステップＳＴ１２において、ＣＰＵ６０がスタンバイウェイクアップ制御回路４１内のウェイクアップレジスタＲ２をリードする。ステップＳＴ１３において、スタンバイ状態からのウェイクアップか否かが判定される。ウェイクアップレジスタＲ２の内容からこの判定が可能である。例えばバッテリ４が無くなった状態からバッテリ４が挿入された時には、ステップＳＴ１３の判定結果が否定とされ、処理がステップＳＴ１４に進む。

【００４４】
ステップＳＴ１４は、バッテリ駆動型システム１が行うメイン処理である。メイン処理の中には、ＪＯＧ／ＫＥＹインターフェース３１を介された入力に対する処理（ＫＥＹ処理）、ＧＰＩＯ３２を介された入力に対する処理（ＧＰＩＯ処理）、リアルタイムクロック回路３３からの入力に対する処理（ＲＴＣ処理）が含まれている。

【００４５】
ステップＳＴ１３において、スタンバイからの起動と判定されると、スタンバイ起動処理がなされる。例えば最初にステップＳＴ１５において、ウェイクアップレジスタＲ２の内容に基づいて起動要因がリアルタイムクロック回路３３からの入力か否かが判定される。例えばスタンバイ状態に入る前に時刻が設定されている場合には、設定時刻になると、ウェイクアップ要求をリアルタイムクロック回路３３が発生する。

【００４６】
ステップＳＴ１５において、起動要因がリアルタイムクロック回路３３からの入力と判定されれば、ステップＳＴ１６において、割り込み制御回路７０内の割り込みイネーブルレジスタに対してライトが行われ、ＣＰＵ６０に対して、ディセーブルとされているＲＴＣ割り込み信号をイネーブルとする。その後、ＣＰＵ６０に割り込みが通知されると、プログラム上で割り込み処理ルーチン（ステップＳＴ１７）が実行される。割り込み処理ルーチンでは、ＲＴＣ割り込みフラグがセットされる。その後、ステップＳＴ１４のメイン処理内のＲＴＣ処理がなされる。

【００４７】
ステップＳＴ１５において、起動要因がリアルタイムクロック回路３３からの入力ではないと判定されると、ステップＳＴ１８において、ウェイクアップレジスタＲ２の内容に基づいてＪＯＧ／ＫＥＹインターフェース３１を介された入力が起動要因か否かが判定される。操作部７において、何らかのキー等の操作が発生すると、ウェイクアップ動作がなされる。

【００４８】
ステップＳ１８において、起動要因がＪＯＧ／ＫＥＹインターフェース３１を介された入力であると判定されると、ステップＳＴ１９において、割り込み制御回路７０内の割り込みイネーブルレジスタに対してライトが行われ、ＣＰＵ６０に対して、ディセーブルとされているＫＥＹ割り込み信号をイネーブルとする。その後、ＣＰＵ６０に割り込みが通知されると、プログラム上で割り込み処理ルーチン（ステップＳＴ１７）が実行される。割り込み処理ルーチンでは、ＫＥＹ割り込みフラグをセットされ、操作されたキーを特定する情報等の必要な情報が生成される。その後、ステップＳＴ１４のメイン処理内のＫＥＹ処理がなされる。

【００４９】
ステップＳＴ１８において、起動要因がＪＯＧ／ＫＥＹインターフェース３１を介された入力ではないと判定されると、ステップＳＴ２０において、ウェイクアップレジスタＲ２の内容に基づいてＧＰＩＯ３２を介された入力が起動要因か否かが判定される。外部入力８としては、複数例えば３２個のＩ／Ｏがある。ＵＳＢ（Ｕｎｉｖｅｒｓａｌ Ｓｅｒｉａｌ Ｂｕｓ）のケーブルが接続されたり、メモリカード型のＰＨＳ（Ｐｅｒｓｏｎａｌ Ｈａｎｄｙｐｈｏｎｅ Ｓｙｓｔｅｍ）カードが挿入されたりすると、ＧＰＩＯ３２を介された入力によってウェイクアップ動作がなされる。

【００５０】
ステップＳ２０において、起動要因がＧＰＩＯ３２を介された入力であると判定されると、ステップＳＴ２１において、割り込み制御回路７０内の割り込みイネーブルレジスタに対してライトが行われ、ＣＰＵ６０に対して、ディセーブルとされているＧＰＩＯ割り込み信号をイネーブルとする。その後、ＣＰＵ６０に割り込み処理が通知されると、プログラム上で割り込み処理ルーチン（ステップＳＴ１７）が実行される。割り込み処理ルーチンでは、ＧＰＩＯ割り込みフラグがセットされ、外部入力を特定する情報等の必要な情報が生成される。その後、ステップＳＴ１４のメイン処理内のＧＰＩＯ処理がなされる。

【００５１】
次に、電源ＯＮ領域と電源ＯＦＦ領域とが同一のＬＳＩ上に混在する場合の問題点とその対策について説明する。図６は、上述したＭＯＳのシステムＬＳＩ２をＩ／Ｏ部（外部デバイスとの信号インターフェース部）２ａおよびコア部（内蔵メモリ、内部ロジック部等）２ｂからなるものと一般化した物理的平面図である。スタンバイ状態において、ＬＳＩ２には、電源ＯＮ領域とそれ以外の電源ＯＦＦ領域とが混在する。上述したように、スタンバイ制御回路２１が電源ＯＮ領域に含まれ、メイン回路２２が電源ＯＦＦ領域に含まれ、ｅＤＲＡＭ２３は、バックアップをするか否かに応じてＯＮ領域またはＯＦＦ領域に含まれる。

【００５２】
このように、システムＬＳＩ２に電源ＯＮ領域と電源ＯＦＦ領域とが混在する場合、電源ＯＦＦ領域から電源ＯＮ領域へ入力される信号に関して、ドライブ側の電源がＯＦＦしてしまう場合、入力電位不定が起こり、それにより、電源ＯＮ領域側の初段ロジック回路部に直流電流が流れてしまう問題が発生する。

【００５３】
この様子を図７に示す。図７において、Ｑ１およびＱ１１がｐチャンネルのＭＯＳ－ＦＥＴを示し、Ｑ２およびＱ１２がｎチャンネルのＭＯＳ－ＦＥＴを示す。正側の電源電圧の端子ｖｄｄに対してＱ１およびＱ１１のソースが接続され、負側の電源電圧（例えば電位０）の端子ｇｎｄに対してＱ２およびＱ１２のソースが接続される。Ｑ１およびＱ２のドレインが互いに接続され、Ｑ１およびＱ２のゲートが互いに接続され、電源ＯＦＦ領域の終段のインバータＩＮＶ１が構成される。Ｑ１１およびＱ１２のドレインが互いに接続され、Ｑ１１およびＱ１２のゲートが互いに接続され、電源ＯＮ領域の初段のインバータＩＮＶ２が構成される。点線がＯＦＦ領域とＯＮ領域の境界を表している。

【００５４】
図７Ａに示す通常動作状態では、電源端子ｖｄｄに対して正側の電源電圧が印加されており、例えばインバータＩＮＶ１に対して、負側の電源電圧に等しい入力電圧が印加されると、ｐチャンネルのＦＥＴＱ１がＯＮし、ｎチャンネルのＦＥＴＱ２がＯＦＦする。したがって、正側の電源電圧に等しい出力電圧が発生し、これがインバータＩＮＶ２に対して供給される。ＦＥＴＱ１１がＯＦＦし、ＦＥＴＱ１２がＯＮし、出力電圧が負側の電源電圧に等しいものとなる。このようにＭＯＳ－ＦＥＴのインバータＩＮＶ１およびＩＮＶ２が正常に動作し、インバータＩＮＶ２の出力電圧が入力電圧に応じた値（ｖｄｄまたはｇｎｄ）に固定される。

【００５５】
一方、スタンバイ状態になると、図７Ｂに示すように、電源ＯＦＦ領域に含まれるインバ

ータＩＮＶ１の正側の電源端子に負側の電源電圧が印加される。すなわち、ｐチャンネルのＭＯＳ－ＦＥＴＱ１のソース側電位がｇｎｄに短絡されるため、インバータＩＮＶ１の出力端子（Ｑ１およびＱ２のドレインの接続点）の電位は、ドライバによってドライバされない不定状態に陥ってしまう。この状態では、電源ＯＮ領域の初段のインバータＩＮＶ２のＭＯＳ－ＦＥＴＱ１１およびＱ１２の両者がＯＮ状態となり、ＣＭＯＳ特有の貫通電流（直流電流）が流れてしまい、かえって消費電力の増加とデバイスにダメージを与えることとなってしまう。

【００５６】

このような問題を回避するこの発明の一実施形態の構成について図８および図９を参照して説明する。図８に示すように、インバータＩＮＶ１とインバータＩＮＶ２との間で、電源ＯＮ領域に２入力アンドゲートＡＮＤを挿入する。アンドゲートＡＮＤの一方の入力には、インバータＩＮＶ１の出力が供給され、その他方の入力には、コントロール信号が供給される。コントロール信号は、通常動作状態では、”１”（ロジックの１を表す）で、スタンバイ状態では、”０”（ロジックの０を表す）とされる。かかるコントロール信号は、図２では省略されているが、システムＬＳＩ制御回路４０内に設けられているコントロール信号発生部から供給される。したがって、通常動作状態では、インバータＩＮＶ１の出力がアンドゲートＡＮＤとコントロール信号により正転されてインバータＩＮＶ２の入力に伝わり、スタンバイ状態では、コントロール信号によってアンドゲートＡＮＤの出力が”０”に固定される。

【００５７】

図９は、図８と対応するＭＯＳ－ＦＥＴの接続構成を示す。アンドゲートＡＮＤは、ｐチャンネルＭＯＳ－ＦＥＴＱ２１およびＱ２２と、ｎチャンネルＭＯＳ－ＦＥＴＱ２３およびＱ２４と、ＭＯＳ－ＦＥＴＱ２５およびＱ２６のインバータで構成される。Ｑ２１、Ｑ２２およびＱ２５のソースが電源端子ｖｄｄと接続され、Ｑ２１およびＱ２２のドレインが共通にＱ２３のドレインに接続され、Ｑ２３のソースがＱ２４のドレインに接続され、Ｑ２４のソースが電源端子ｇｎｄに接続される。Ｑ２１およびＱ２４のゲートに対して、一方の入力としてのコントロール信号が供給され、Ｑ２２およびＱ２３のゲートに対して他方の入力としてのインバータＩＮＶ１の出力が供給される。なお、図９では、インバータＩＮＶ２の図示を省略している。但し、アンドゲートＡＮＤの終段のインバータをインバータＩＮＶ２と兼用しても良い。

【００５８】

通常動作状態では、コントロール信号が”１”とされるので、インバータＩＮＶ１の出力が”０”の時には、Ｑ２１がＯＦＦ、Ｑ２２がＯＮ、Ｑ２３がＯＦＦ、Ｑ２４がＯＮ、Ｑ２５がＯＦＦ、Ｑ２６がＯＮとなり、アンドゲートＡＮＤの出力が”０”となる。インバータＩＮＶ１の出力が”１”の時には、Ｑ２１がＯＦＦ、Ｑ２２がＯＦＦ、Ｑ２３がＯＮ、Ｑ２４がＯＮ、Ｑ２５がＯＮ、Ｑ２６がＯＦＦとなり、アンドゲートＡＮＤの出力が”１”となる。このように、アンドゲートＡＮＤの出力は、その入力と同一の値となる。

【００５９】

スタンバイ状態では、コントロール信号が”０”に固定されるので、ＭＯＳ－ＦＥＴＱ２１が必ずＯＮし、ＭＯＳ－ＦＥＴＱ２５およびＱ２６のゲート共通接続点に供給される出力は、”１”に固定され、したがって、ＭＯＳ－ＦＥＴＱ２６が常にＯＮし、アンドゲートＡＮＤの出力が”０”に固定される。したがって、電源ＯＮ領域の初段のインバータにおいて、直流電流が流れる問題を回避でき、スタンバイ状態における貫通電流（直流電流）が流れることを防止でき、スタンバイ状態における消費電力を低減できる。

【００６０】

この発明は、上述した一実施形態等に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。例えばこの発明では、バッテリを電源としているが、バッテリに加えて商用電源を整流した電源を使用可能としても良い。

【００６１】

【発明の効果】

この発明によれば、スタンバイ時に、ＬＳＩの大部分の領域を占めるメイン回路に対して、電源をオフしてしまうので、サブスレッショルドリーク電流が流れることを防止でき、スタンバイ時の消費電力を大幅に削減できる。また、この発明は、簡単な回路構成によって、電源ＯＦＦによる電位不定が引き起こす直流電流を防止することができ、より確実にスタンバイ時の消費電力を低減できる。

【００６２】

この発明によれば、アナログ集積回路の構成の電源制御回路に電源のＯＮ／ＯＦＦを制御するためのディジタル回路を組み込む必要がなく、新たに電源制御回路のＩＣを設計することが不要とできる。さらに、この発明によれば、スタンバイ状態からウェイクアップする時に、ウェイクアップ要因の情報をスタンバイ制御回路が保持するので、その後メイン回路の電源がＯＮとされた時に、ＣＰＵがウェイクアップ要因を直ちに特定でき、特定されたウェイクアップ要因に対応する処理が可能となる。

【図面の簡単な説明】

【図１】この発明が適用されたバッテリ駆動型システムの一実施形態の全体の構成を示すブロック図である。

【図２】この発明の一実施形態の構成を示すブロック図である。

【図３】この発明の一実施形態の構成を示すブロック図である。

【図４】この発明の一実施形態において、スタンバイ状態に入る時の処理の流れを示すフローチャートである。

【図５】この発明の一実施形態において、スタンバイ状態からウェイクアップする時の処理の流れを示すフローチャートである。

【図６】システムＬＳＩにおける電源ＯＮ領域と電源ＯＦＦ領域とを模式的に示す平面図である。

【図７】システムＬＳＩの電源ＯＮ領域と電源ＯＦＦ領域の境界部分で発生する問題点を説明するための接続図である。

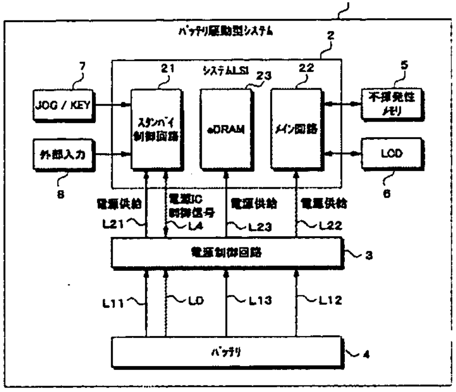
【図８】システムＬＳＩの電源ＯＮ領域と電源ＯＦＦ領域の境界部分で発生する問題点を回避するための構成を示すブロック図である。

【図９】システムＬＳＩの電源ＯＮ領域と電源ＯＦＦ領域の境界部分で発生する問題点を回避するための接続構成を示す接続図である。

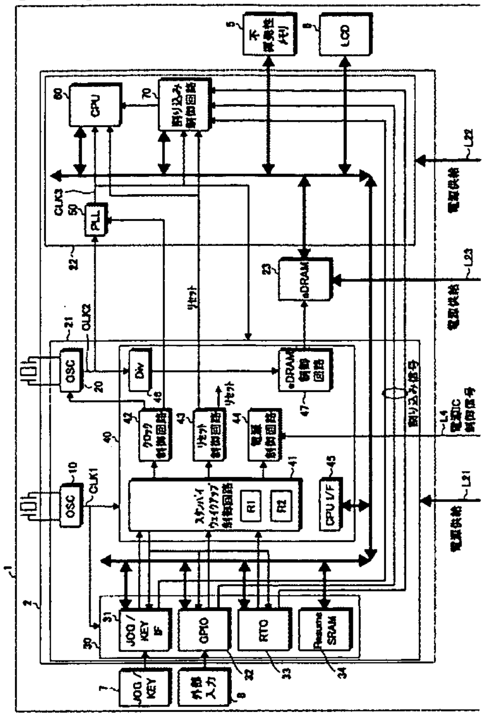
【符号の説明】

１・・・バッテリ駆動型システム、２・・・システムＬＳＩ、３・・・電源制御回路、４・・・バッテリ、２１・・・スタンバイ制御回路、２２・・・メイン回路、２３・・・ｅＤＲＡＭ、３０・・・周辺回路、４０・・・スタンバイウェイクアップ制御回路、４２・・・クロック制御回路、４３・・・リセット制御回路、４４・・・電源制御回路、６０・・・ＣＰＵ、９０・・・レギュレータ制御回路

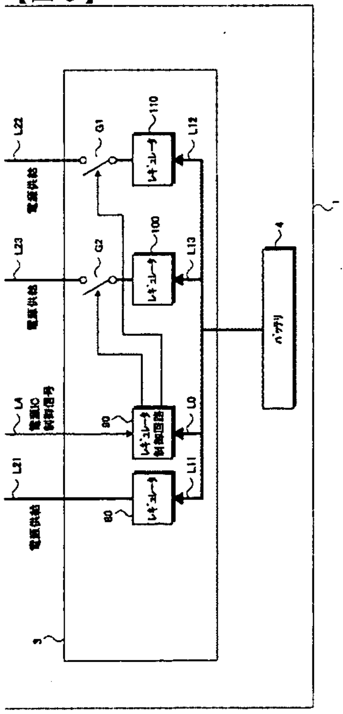
【図１】


1
バッテリ駆動型システム
2
システムLSI
7
JOG / KEY
21
スタンバイ制御回路
23
eDRAM
22
メイン回路
5
不揮発性メモリ
外部入力
8
LCD
6
電源供給
L21
電源IC制御信号
L4
電源供給
L23
電源供給
L22
電源制御回路
3
L11
L0
L13
L12
バッテリ
4

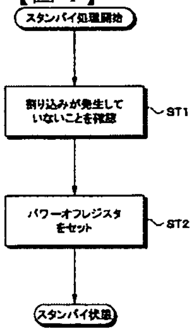
【図２】


5
不揮発性メモリ
6
LCD
60
CPU
70
割り込み制御回路
CLK3
50
PLL
32
23
eDRAM
リセット
電源供給
L22
電源供給
L23
21
OSC
CLK2
20
Div
46
eDRAM制御回路
47
42
クロック制御回路
43
リセット制御回路
44
電源制御回路
40
10
OSC
CLK1
41
スタンバイウェイクアップ制御回路
R1
R2
45
CPU I/F
割り込み信号
L4
電源IC制御信号
電源供給
L21
1
2
30
31
JOG / KEY IF
GPIO
32
RTC
33
Resume SRAM
34
7
JOG / KEY
外部入力
8

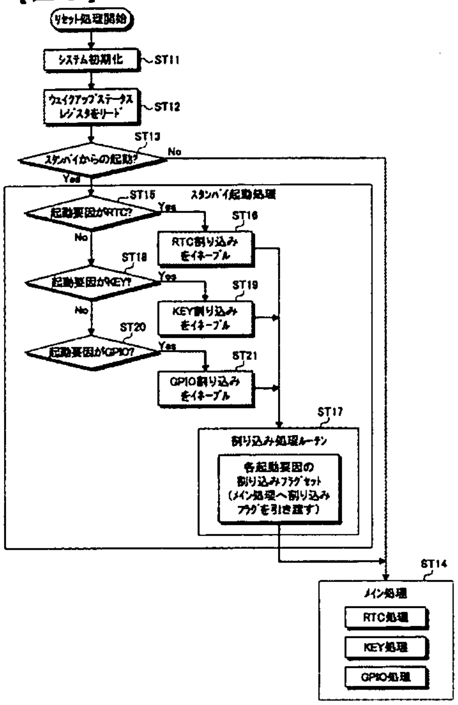
【図３】


L22
電源供給
G1
110
レギュレータ
L12
L23
電源供給
G2
100
レギュレータ
L13
4
バッテリ
1
L4
電源IC制御信号
90
レギュレータ制御回路
L0
L21
電源供給
80
レギュレータ
L11
3

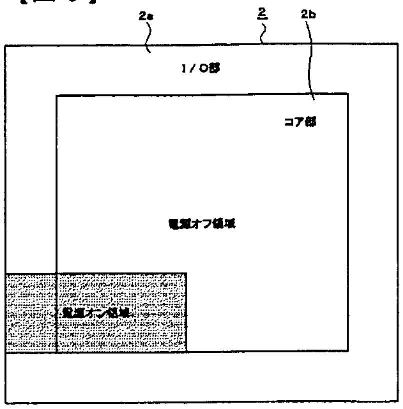
【図４】


スタンバイ処理開始
割り込みが発生していないことを確認
ST1
パワーオフレジスタをセット
ST2
スタンバイ状態

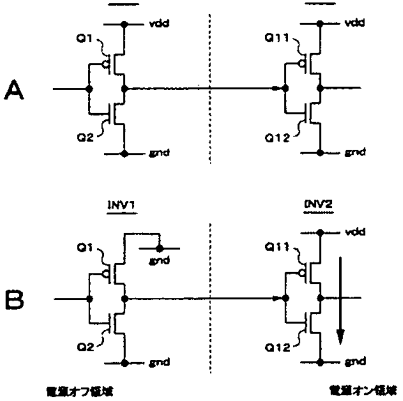
【図５】


リセット処理開始
システム初期化
ST11
ウェイクアップステータスレジスタをリード
ST12
ST13
スタンバイからの起動?
No
Yes
ST15
スタンバイ起動処理
起動要因がRTC?
Yes
ST16
RTC割り込みをイネーブル
No
ST18
起動要因がKEY?
Yes
ST19
KEY割り込みをイネーブル
No
ST20
起動要因がGPIO?
Yes
ST21
GPIO割り込みをイネーブル
ST17
割り込み処理ルーチン
各起動要因の割り込みフラグセット（メイン処理へ割り込みフラグを引き渡す）
ST14
メイン処理
RTC処理
KEY処理
GPIO処理

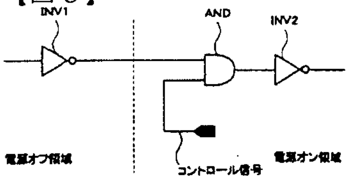
【図６】


2a
2
2b
I/O部
コア部
電源オフ領域
電源オン領域

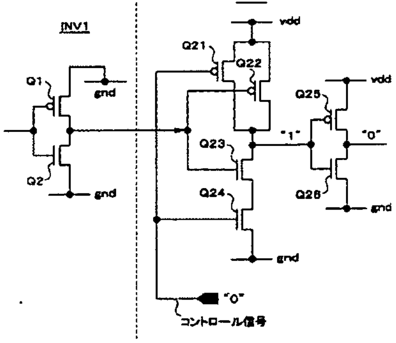
【図７】


INV1
INV2
A
Q1
Q2
vdd
gnd
Q11
Q12
vdd
gnd
B
INV1
INV2
Q1
Q2
gnd
gnd
Q11
Q12
vdd
gnd
電源オフ領域
電源オン領域

【図８】


INV1
AND
INV2
電源オフ領域
コントロール信号
電源オン領域

【図９】


INV1
AND
vdd
Q21
Q22
Q1
gnd
Q25
vdd
Q23
"1"
"0"
Q2
gnd
Q24
Q26
gnd
gnd
"0"
コントロール信号

【手続補正書】
【提出日】平成15年8月13日(2003.8.13)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】請求項５
【補正方法】変更
【補正の内容】
【請求項５】

前記第１の回路は、前記スタンバイモードにおいても前記電力供給手段より供給された電力を用いてリフレッシュ動作を実行する記憶手段を含む請求項１に記載の電子機器。

---

フロントページの続き

(72)発明者　阿久井　聡
　　　　　東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考) 5B011 EA04　EA05　EA09　LL11　MA02
　　　　　　　5F038 DF04　DF05　DF11　EZ20
　　　　　　　5J056 AA00　BB17　BB49　FF08　GG09

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☑ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☑ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** ______________________________

**IMAGES ARE BEST AVAILABLE COPY.**
**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**